

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年2月1日 (01.02.2001)

PCT

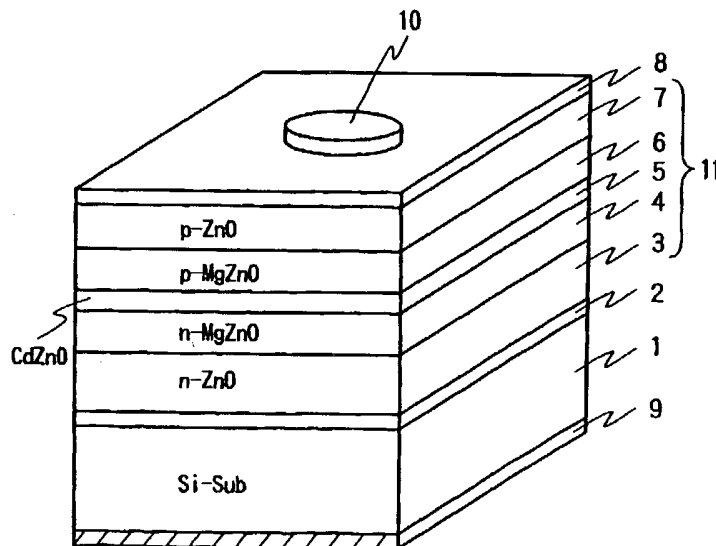
(10) 国際公開番号  
WO 01/08229 A1

- (51) 国際特許分類: H01L 33/00, H01S 5/343  
(21) 国際出願番号: PCT/JP00/04998  
(22) 国際出願日: 2000年7月26日 (26.07.2000)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願平11/211222 1999年7月26日 (26.07.1999) JP  
特願平11/211223 1999年7月26日 (26.07.1999) JP  
(71) 出願人 (米国を除く全ての指定国について): 工業技術院長が代表する日本国 (JAPAN as represented by SECRETARY OF AGENCY OF INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒100-8921 東京都千代田区霞が関1丁目3番1号 Tokyo (JP). ローム株式会社  
(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 仁木 栄 (NIKI, Shigeru) [JP/JP]. フォンス ポール (FONS, Paul) [JP/US]. 岩田 弘也 (IWATA, Kakuya) [JP/JP]; 〒305-8568 茨城県つくば市梅園1-1-4 通商産業省工業技術院電子技術総合研究所内 Ibaraki (JP). 田辺 哲弘 (TANABE, Tetsuhiro) [JP/JP]. 高須 秀視 (TAKASU, Hidemi) [JP/JP]. 中原 健 (NAKAHARA, Ken) [JP/JP]; 〒615-8585 京都府京都市右京区西院清崎町21番地 ローム株式会社内 Kyoto (JP).  
(74) 代理人: 河村 洸 (KAWAMURA, Kiyoshi); 〒532-0011 大阪府大阪市淀川区西中島4丁目5番1号 新栄ビル6E 河村特許事務所 Osaka (JP).  
(81) 指定国 (国内): CA, CN, KR, US.

[続葉有]

(54) Title: ZnO COMPOUND SEMICONDUCTOR LIGHT EMITTING ELEMENT AND PRODUCTION METHOD THEREOF

(54) 発明の名称: ZnO系化合物半導体発光素子およびその製法



(57) Abstract: A silicon nitride film (2) is provided on a silicon substrate (1), and on the film (2) is laminated a semiconductor laminate (11) having at least n-type layers (3), (4) and p-type layers (6), (7) consisting of ZnO compound semiconductors so as to form a luminous layer. This silicon nitride film (2) is preferably formed by heat-treatment in an atmosphere containing nitrogen such as ammonia gas. In another embodiment, a luminous element or the like is formed by growing a ZnO compound semiconductor layer with a plane orthogonal to the C plane of a sapphire substrate used as a main plane, thereby providing a high-characteristic element using a ZnO compound such as an LED excellent in crystallinity and high in luminous efficiency.

[続葉有]

WO 01/08229 A1



(84) 指定国 (広域): ヨーロッパ特許 (DE, FR, GB, IT, NL).

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

シリコン基板 (1) の表面にシリコンチッ化膜 (2) が設けられており、そのシリコンチッ化膜 (2) 上に ZnO 系化合物半導体からなる n 形層 (3)、(4) および p 形層 (6)、(7) を少なくとも有し、発光層を形成するように半導体積層部 (11) が積層されている。このシリコンチッ化膜 (2) はアンモニアガスなどのチッ素が存在する雰囲気下で熱処理をすることにより形成することが好ましい。また、別の形態では、サファイア基板の C 面と直交する面を主面として、ZnO 系化合物半導体層を成長することにより発光素子などを形成する。その結果、結晶性が非常に優れ、高い発光効率の LED など高特性の ZnO 系化合物を用いた素子が得られる。

## 明 細 書

### ZnO系化合物半導体発光素子およびその製法

#### 5 技術分野

- 本発明はZnO系化合物半導体を用い、高い記憶密度を有する光ディスクメモリや、レーザビームプリンタの高精細化に必要とされる青色領域で発光可能な半導体レーザや発光ダイオードなどの半導体発光素子およびその製法、SAWデバイス、焦電素子、圧電素子、ガスセンサなどの
- 10 のZnO系化合物半導体を用いた素子、およびそれらの素子を製造するためのZnO系化合物半導体層の結晶成長方法に関する。さらに詳しくは、電極をチップの上下両面から取り出せると共に劈開をすることができるとし、ZnO系化合物半導体層を結晶性よく成長し、発光効率などの素子特性を向上することができるZnO系化合物半導体を用
- 15 いた素子、およびそれらの素子を製造するためのZnO系化合物半導体層の結晶成長方法に関する。

#### 背景技術

- フルカラーディスプレイや、信号灯などの光源に用いられる青色系(紫外から黄色の波長領域を意味する、以下同じ)の発光ダイオード(以下、LEDという)や、室温で連続発振する次世代の高精細DVD光源用などの青色系半導体レーザ(以下、LDという)は、最近サファイア基板のC面上にGaN系化合物半導体を積層することにより得られるようになり脚光を浴びている。

- 25 この構造は、図14にLDチップの斜視説明図が示されるように、サファイア基板21上にIII族チッ化物化合物半導体有機金属化学気相

成長法 (Metal Organic Chemical Vapor Deposition 以下、MOCVD という) により順次積層されるもので、Ga<sub>0.98</sub>N 緩衝層 22、n 形 Ga<sub>0.98</sub>N 層 23、Al<sub>0.12</sub>Ga<sub>0.88</sub>N からなる n 形クラッド層 24、Ga<sub>0.98</sub>N からなる n 形光ガイド層 25、InGa<sub>0.53</sub>N 系化合物半導体の多重量子井戸構造からなる活性層 26、p 形 Ga<sub>0.98</sub>N からなる p 形光ガイド層 27、p 形 Al<sub>0.2</sub>Ga<sub>0.8</sub>N からなる p 形第 1 クラッド層 28a、Al<sub>0.12</sub>Ga<sub>0.88</sub>N からなる p 形第 2 クラッド層 28b、p 形 Ga<sub>0.98</sub>N からなるコンタクト層 29 が順次積層され、積層された半導体層の一部が図 14 に示されるようにドライエッチングなどによりエッチングされて n 形 Ga<sub>0.98</sub>N 層 23 を露出させ、その表面に n 側電極 31、前述のコンタクト層 29 上に p 側電極 30 がそれぞれ形成されることにより構成されている。

一方、ZnO 系化合物半導体もワイドギャップエネルギー半導体で、Cd を混晶させることによりバンドギャップエネルギーのナロー化がなされ、同様に青色系の発光をさせ得ること、SAW デバイスや焦電素子、圧電素子などに用いられることなどのため、種々の研究がなされ始めている。そして、この ZnO 系化合物半導体も GaN 系化合物半導体やサファイアと同様にヘキサゴナル (hexagonal) 結晶であり、格子定数もこれらと近いたため、GaN 系化合物半導体のエピタキシャル成長用基板として工業的に広く用いられている主面が C 面の (0001) サファイアが、基板として考えられている。

この (0001) サファイア基板上への ZnO 系化合物半導体の成長は、たとえば「ルーム-テンパラチャー ウルトラバイオレット レーザ エミッション フロム セルフアッセンブルド ZnO マイクロクリスタライト シン フィルムズ (Room-temperature ultraviolet laser emission from self-assembled ZnO microcrystallite thin films)」(アプライドフィジックスレター (Applied Physics Letters))

第72巻25号、1998年6月22日号、3270～3272頁)にも記載されている。

前述のように、従来の青色系の半導体発光素子では、基板としてC面を主面とする(0001)サファイア基板が用いられているため、基板に導電性がなく、積層体の上面と下面に電極が形成される垂直型の素子(チップの表面と裏面に電極が形成された構造を意味する、以下同じ)を構成できない。そのため、両方の電極を、積層した半導体層の表面とその一部をエッチングして露出させた下層の半導体層に設けなければならない。製造工程が複雑であると共に、チップのボンディングも複雑になるという問題がある。しかも、サファイア基板は非常に硬いため、劈開をすることが困難であり、半導体レーザの光共振器の鏡面として必要な平坦な端面を形成できないという問題がある。すなわち、サファイア基板は、良好な単結晶半導体層が得られるのと引き換えに、製造プロセス上で素子製作の際に、加工性や電極形成に難点があることを強いられている。

さらに、サファイアのc軸長 $c_s$ は1.2991nmでa軸長 $a_s$ が0.4754nmであるのに対して、ZnOのc軸長 $c_z$ は0.5213nmでa軸長 $a_z$ は0.325nmであるため、格子不整合度 $\varepsilon$ は、 $\varepsilon = (a_z - a_s) / a_s = -31.6\%$ と非常に大きくなる。この場合、図15に示されるように、ZnOの結晶が30°回転して成長する場合があるが、その場合でも、格子不整合度 $\varepsilon$ は、 $\varepsilon = (2/3^{1/2} \cdot a_z - a_s) / a_s = -21.1\%$ と非常に大きい。そのため、とくに結晶成長時の基板温度や、ZnおよびO元素の供給量、基板の表面処理方法や、傾斜角度などの種々のパラメータが複雑に作用し、結晶成長面の平坦性の再現性に乏しいという問題がある。

また、サファイアとZnOとで格子定数が整合しないため、前述のよ

うに、ZnOが30°回転して成長する場合があり、回転しない結晶と30°回転する結晶とが混在して、一層結晶成長面の平坦性の再現性が乏しいという問題がある。

本発明はこのような問題を解決するためになされたもので、本発明の  
5 第1の目的は、ZnO系化合物半導体を用い、チップの表裏両面から電極を取り出すことができる垂直型で、かつ、半導体層の結晶性が優れて発光効率が高いと共に、基板にサファイア基板を用いないで製造プロセスおよび使用面で便利な構造となるLEDやLDなどの半導体発光素子を提供することにある。

10 本発明の第2の目的は、シリコン基板上にZnO系化合物半導体を結晶性よく成長するためにとくに適したシリコン基板の表面処理を含む半導体発光素子の製法を提供することにある。

本発明の第3の目的は、サファイア基板を用いても、結晶性の優れたZnO系化合物結晶層が得られ、素子の特性を向上させた半導体発光素子などのZnO系化合物を用いる素子を提供することにある。  
15

本発明の第4の目的は、サファイア基板を用いながら結晶性の優れたZnO系化合物結晶層を得ることができるZnO系化合物の結晶成長方法を提供することにある。

本発明の第5の目的は、サファイア基板を用いながら結晶性の優れたZnO系化合物半導体を用い、発光特性の優れたLEDやLDなどの半導体発光素子を提供することにある。  
20

#### 発明の開示

本発明者らは、前述のようにサファイア基板上にZnO系化合物半導体  
25 体を成長することの不便さを解消し、第1および第2の目的を達成するため、大口径で取り扱いやすいシリコン基板を用いてZnO系化合物半

導体を成長すべく鋭意検討を重ねた。その結果、シリコン基板上に直接 ZnO 系化合物半導体を成長しようとしても、ZnO 系化合物がアモルファス化してしまって結晶性のよい半導体層を得ることができない理由が、ZnO 系化合物を成長するために導入するラジカル酸素により、ZnO 系化合物半導体が成長する前に、まずシリコン基板の表面が強烈に酸化されてアモルファス化することにより、シリコン基板の表面にチッ化処理を施して薄いチッ化膜を形成しておくことにより、シリコン基板表面の酸化が防止されて、結晶性の優れた ZnO 系化合物半導体層を成長することができ、発光特性の優れた半導体発光素子が得られることを見出した。

第 1 の目的を達成するための本発明による半導体発光素子は、シリコン基板と、該シリコン基板の表面に設けられるシリコンチッ化膜と、該シリコンチッ化膜上に設けられ、ZnO 系化合物半導体からなる n 形層および p 形層を少なくとも有し、発光層を形成すべく積層される半導体積層部とを含んでいる。

ここに ZnO 系化合物半導体とは、Zn を含む酸化物、具体例としては ZnO の他 IIA 族元素と Zn または IIB 族元素と Zn または IIA 族元素および IIB 族元素と Zn のそれぞれの酸化物であることを意味する。以下の発明においても同じである。

この構造にすることにより、シリコン基板の表面にシリコンチッ化膜が形成されているため、ZnO 系化合物半導体層を成長するためのラジカル酸素が導入されても、シリコン基板の表面が酸化して荒らされることがなく、その表面に成長する ZnO 系化合物半導体層も結晶性よく成長する。その結果、結晶性のよい半導体積層部が得られ、優れた発光特性を有する半導体発光素子が得られる。

前記シリコンチッ化膜の表面がアモルファス化しないで平坦面に形成

されていることが、その上に成長されるZnO系化合物半導体層の結晶性が一層良好になるため好ましい。

- ここにシリコンチツ化膜の表面が平坦面に形成されるとは、表面がアモルファス化して凹凸が激しくならないで、格子配列が認識し得る程度の表面状態をいい、たとえば反射高エネルギー電子回折法（RHEED法；10～50kVで加速された電子ビームを基板表面に浅い角度（1～2°以下）で入射させ、表面原子によって反射回折された電子ビームを蛍光スクリーンに投影して結晶の表面状態を調べる方法）により、ストリークの状態から点状（spotty）の像が現れる程度の状態を意味する。
- 10 前記シリコンチツ化膜が、10nm以下の厚さに形成されていることが、シリコンチツ化膜の表面が多結晶化しないで、平坦な面になりやすいため好ましい。

- 前記半導体積層部が、 $Cd_xZn_{1-x}O$ （ $0 \leq x < 1$ ）からなる活性層を、 $Mg_yZn_{1-y}O$ （ $0 \leq y < 1$ ）からなり前記活性層よりバンドギャップエネルギーの大きいクラッド層により挟持するダブルヘテロ構造を有することにより、ZnO系化合物半導体を用い、発光特性の優れたLEDやLDが得られるため好ましい。
- 15

- 第2の目的を達成するための本発明による半導体発光素子の製法は、シリコン基板をチツ素が存在する雰囲気下で熱処理することによりシリコン基板の表面にシリコンチツ化膜を形成し、該シリコンチツ化膜上にZnO系化合物半導体からなり発光層を形成する半導体積層部を成長することを特徴とする。
- 20

- この方法を用いることにより、シリコン基板の表面に酸化を防止するチツ化膜が形成されながら、表面が多結晶化しないで、シリコン基板の結晶面を維持することができ、その表面に結晶性の優れたZnO系化合物半導体を成長することができると共に、シリコンチツ化膜が非常に薄
- 25



く形成され、シリコン基板と半導体積層部との間の導電性が分断されない。

前記シリコンチッ化膜を形成する処理を、形成されるシリコンチッ化膜の表面がシリコン基板の平坦面を維持できるように該処理の温度または時間を制御しながら行うことが、多結晶化を防止することができて好ましい。すなわち、たとえば650℃でチッ化処理を行う場合、5～10分程度、さらに好ましくは7分程度でチッ化処理を行うと優れた結晶性のZnO系化合物半導体層が得られるが、15分程度行くと表面が多結晶化し、その上に成長されるZnO系化合物半導体も多結晶化して結晶性のよいZnO系化合物半導体層が得られない。また、800℃でチッ化処理を行う場合、3分程度の処理時間でも、優れた結晶性のZnO系化合物半導体層が得られ、逆にチッ化処理の温度を低くすると、処理時間を長くするほうが好ましい。これらの条件は、たとえば前述のRHEED法によりシリコンチッ化膜の表面状態を検査することにより、シリコンチッ化膜の表面が平坦面になるように、条件設定をすることができる。

さらに第3ないし第5の目的を達成するため、本発明者らは、サファイア基板上にZnO系化合物結晶層を成長するのに、格子欠陥が少なく結晶性のよいZnO系化合物層を成長すべく鋭意検討を重ねた。その結果、サファイアのA面など、C面と直交する面を主面とする基板表面にZnO系化合物層を成長することにより、非常に結晶性に優れ、発光特性など素子特性の優れた素子が得られることを見出した。

第3の目的を達成するための本発明によるZnO系化合物層を有する素子は、サファイア基板のC面と直交する面を主面とするサファイア基板と、該サファイア基板の前記主面上にエピタキシャル成長されたZnO系化合物層とを有している。

ここにサファイア基板のC面と直交する面とは、サファイアのA面の他にそのA面がC面内で回転する面のように、C面と直角に交わる面を意味し、直交（直角）には、通常の基板製作仕様上許容される $\pm 0.5^\circ$ 以内のものを含む意味である。

- 5      この構造にすることにより、サファイア基板のc軸方向と直角方向にZnO系化合物層が成長するため、サファイアのc軸に沿ってZnOのa軸が並んで成長する。その結果、c軸長（1.2991nm）に沿ってZnO系化合物4個分の結晶のa軸長（0.325nm）が並び、結晶の整合度が0.07%程度と非常によくなり、優れた結晶面が得られ  
10      るものと考えられる。

前記サファイア基板の主面がA面であれば、サファイア基板が容易に得られやすいため好ましい。

- 第4の目的を達成するための本発明によるZnO系化合物層の結晶成長方法は、サファイア基板のc軸と前記ZnO系化合物層のc軸とが直  
15      交するように前記ZnO系化合物層をエピタキシャル成長するものである。

- 第5の目的を達成するための本発明による半導体発光素子は、サファイア基板のC面と直交する面を主面とするサファイア基板と、該サファイア基板の前記主面上にエピタキシャル成長されたZnO系化合物半導  
20      体からなるn形層およびp形層を少なくとも有し、発光層を形成すべく積層される半導体積層部とを含んでいる。前記C面と直交するサファイア基板の主面としては、たとえばA面を用いることができる。

- 前記半導体積層部が、 $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ （ $0 \leq x < 1$ ）からなる活性層を、 $\text{Mg}_y\text{Zn}_{1-y}\text{O}$ （ $0 \leq y < 1$ ）からなり前記活性層よりバンド  
25      ギャップエネルギーの大きいクラッド層により挟持するダブルヘテロ構造を有することにより、ZnO系化合物半導体を用い、発光特性の優れた

たLEDやLDが得られるため好ましい。

#### 図面の簡単な説明

図1は、本発明による半導体発光素子の一実施形態であるLEDチップの斜視説明図である。

図2は、シリコン基板表面のチッ化処理の温度と時間による好ましい条件の関係を示す図である。

図3は、RHEED法による基板表面の検査方法の説明図および観察される基板表面の回折像の説明図である。

図4は、本発明による半導体発光素子の他の実施形態を示す断面説明図である。

図5は、本発明による半導体発光素子のさらに他の実施形態を示す断面説明図である。

図6は、本発明のさらに他の実施形態であるA面サファイア基板上にZnO層を成長した状態の断面説明図である。

図7は、サファイア単結晶の代表的な面方位の説明図である。

図8(a)は、本発明によるA面を主面とするサファイア基板上に成長したZnO層のX線の反射像によるポルフィギュア図、図8(b)は、C面を主面とするサファイア基板上に成長した同様の図である。

図9は、本発明によるA面を主面とするサファイア基板上に成長したZnO層のフォトルミネッセントスペクトル(A)を、C面を主面とするサファイア基板上に成長したもの(C)と対比して示した図である。

図10は、本発明によりサファイアのA面上にZnOを成長させたときの、ZnO結晶の配向状態の説明図である。

図11は、A面サファイア基板を用いた本発明による半導体発光素子の一例であるLEDチップの説明図である。

図12は、A面サファイア基板を用いた本発明による半導体発光素子の他の例であるLDチップの説明図である。

図13は、A面サファイア基板を用いた本発明による半導体発光素子のさらに他の例であるLDチップの説明図である。

- 5 図14は、従来のGaN系化合物半導体を用いたLDチップの一例の斜視説明図である。

図15は、サファイアのC面上にC面が平行になるようにZnOを成長したときの結晶配向の説明図である。

#### 10 発明を実施するための最良の形態

つぎに、図面を参照しながら本発明のシリコン基板を用いる半導体発光素子およびその製法について説明をする。

- シリコン基板を用いる本発明の半導体発光素子は、図1にその一実施形態であるLEDチップの斜視説明図が示されるように、シリコン基板  
15 1の表面にシリコンチッ化膜2が設けられており、そのシリコンチッ化膜2上にZnO系化合物半導体からなるn形層3、4およびp形層6、7を少なくとも有し、発光層を形成するように半導体積層部11が積層されている。

- 前述のように、本発明者らは、シリコン基板上にZnO系化合物半導  
20 体を結晶性よく成長するために鋭意検討を重ねた結果、シリコン基板上に直接ZnO系化合物半導体を成長しようとする、ZnO系化合物半導体の材料であるラジカル酸素が、最初にシリコンと激しく反応して、表面がアモルファス状になり凹凸が形成され、それが原因で結晶性のよいZnO系化合物半導体層が得られないことを見出した。そして、シリ  
25 コン基板の表面をまずチッ化処理して、基板表面のダングリングボンドのSiとNとを化合させ、シリコンチッ化膜を表面に薄く形成すること

により、結晶性の優れたZnO系化合物半導体をその上に成長することができると見出した。

このシリコンチッ化膜は、チッ素ガスまたはアンモニアガスなどのチッ素が存在する雰囲気下で熱処理をし、シリコン基板の表面にチッ化膜を形成することにより好ましい結果が得られたが、チッ化処理をし過ぎるとかえってその上のZnO系化合物半導体が多結晶化して結晶性の優れたZnO系化合物半導体を得ることができなかった。

すなわち、シリコン基板1を洗浄処理してMBE (Molecular Beam Epitaxy; 分子線エビタキシー) 結晶成長装置に入れ、たとえばNH<sub>3</sub>ガスをRF電源にてプラズマ励起した状態で、MBE結晶成長装置に導入し、シリコンチッ化膜2を形成する処理温度と処理時間を種々変化させたときの、その上に成長されるZnO系化合物半導体層の膜質の状態を調べた。その検査結果が表1に示されるように、650℃の熱処理を7分間行くと非常に膜質がよく(二重丸)、5分から10分行った場合は、良好なZnO系化合物半導体層の膜質が得られる(白丸)が、同じ温度で15分間熱処理を行うとZnO系化合物半導体層がアモルファス化して好ましくなかった(×印)。また、800℃で3分間のチッ化処理を行った結果、同様にZnO系化合物半導体層の良好な膜質が得られた。

表1 チッ化処理の温度と時間に対する膜質の状態

処理温度 (°C)	650	650	650	650	800
処理時間 (分)	5	7	10	15	3
膜 質	○	◎	○	×	○

この関係を図2に示すと、良好な膜質が得られる範囲としては、当然低い温度では処理速度が遅いため、長い処理時間で同様の膜質が得られ、図2の実線で囲まれる範囲Pの条件で処理を行うことにより、良好な膜

## 12

質のシリコンチッ化膜が得られ、その上に成長されるZnO系化合物半導体層も良好な膜質が得られることが想定される。

この膜質の検査は、図3(a)に示されるように、一般にMBE装置に装備されている反射高エネルギー電子回折法(RHEED法)と呼ばれる方法、すなわち電子銃51により10~50kVで加速された電子ビーム52を基板53表面に浅い角度(1~2°以下) $\theta$ で入射させ、表面原子によって反射回折された電子ビーム54を蛍光スクリーン55に投影して結晶の表面状態を調べる方法を用い、電子の加速電圧を20kVで行った。この方法により行うことにより、電子ビームの入射、反射、回折ビームの計測が浅い角度で行われるため、ほぼ基板53に垂直な方向から行われる分子線の供給に影響を与えないで、成膜しながら測定することができる。

この回折像としては、基板表面が結晶構造であると直線または帯状の明暗(ストリーク状の像)が現れるが、基板表面に凹凸が現れてアイランドが形成されると、これらのアイランドを透過回折した電子ビームの寄与が大きくなり、ストリーク状の像は消失して点状(spotty)の像が現れる。さらに表面が多結晶体になると、スポットが消失してリング状の回折像が得られる。これは微結晶の方位がランダムに分布していることによって生じる。さらに表面がアモルファスになると、原子配列の周期性がなくなり、したがって回折条件は満たされなくなり、RHEED線は一様な強度の帯状(ハロー)になる。したがって、この測定によりシリコンチッ化膜2の表面状態を観察しながら、その上に成長されるZnO系化合物半導体の膜質を同様に調べることにより、両者の間の相関性が得られる。

この表面状態の測定を行いながら、シリコン基板1の表面のチッ化処理をまず行くと、最初はシリコン基板の表面に酸化膜が形成されている

ため、表面の平坦性はなく、図3(c)に示されるようなリング状の回折像が得られる。この状態で、前述の $\text{NH}_3$ ガスをRF電源にてプラズマ励起した状態でMBE装置のチャンバー内に導入し、ホルダー(基板)を650℃程度に昇温すると、シリコン基板1の表面の酸化した酸素が還元されて除去され、表面状態は図3(b)に示されるように、点状の像が現れる。この状態で保持すると、表面の酸素が除去されてダングリングボンドになったSiとNとが化合してシリコンチッ化物が形成され、チッ化処理が続くが、10nm程度以下のチッ化膜2の厚さでは、回折像は前述の点状の像が維持される。しかし、10分より長くチッ化処理を続けると、点状の像がぼやけ、15分程度行くと、再度図3(c)に示されるようなリング状の像になる。

すなわち、前述の良好な膜質が得られるのは、図3(b)に示されるようなスポット状の回折像が得られる状態からやや点状の像がぼやける状態の平坦性のあるチッ化膜の状態にZnO系化合物半導体が成長される場合で、図3(c)に示されるようなリング状の回折像になると、チッ化処理のし過ぎで、表面状態の凸凹が顕著となり、その状態では、その上に成長されるZnO系化合物半導体の結晶性が低下する。従って、表面がアモルファス化して凹凸が激しくならないように、平坦性を維持するチッ化処理を行うことにより、良好なZnO系化合物半導体の膜質が得られる。

シリコン基板1は、通常のICなどに用いられる、たとえばリン(P)ドーパのn形シリコン基板(111)を用いることができる。しかし、ボロン(B)などをドーパしたp形基板や面方位が(100)のものもよい。このシリコン基板1は、予め、アセトン、メタノールおよび純粋による超音波洗浄などの有機洗浄と、希釈フッ酸による表面酸化膜のライトエッチングからなる基板洗浄が行われる。

- シリコンチッ化膜2は、前述のように、チッ素が存在する雰囲気下で熱処理をすることにより形成することが、シリコン基板1の表面が多結晶やアモルファス状態にならない状態で形成しやすいため好ましい。このチッ化処理は、前述のようにMBE装置である必要はないが、その表面状態を観察しながら処理を行う場合は、MBE装置であれば、前述の
- 5 面状態を観察しながら処理を行う場合は、MBE装置であれば、前述のようにRHEED法により観察をしながら処理をすることができるため好ましい。また、チッ素が存在する雰囲気にするのに、前述の例では、アンモニアガスをプラズマ励起して使用したが、 $N_2$ ガスをプラズマ励起することもでき、また $NO_2$ を使用することもできる。このシリコン
- 10 チッ化膜2は、前述のように多結晶状態にならず、平坦面が得られる状態になるように処理される。すなわち、厚さで10nm以下、さらに好ましくは5nm以下の厚さになるように形成される。そのための条件は、処理温度と処理時間で調整され、温度が高ければ短時間で、低い温度であれば比較的長い時間の処理により得られる。
- 15 半導体積層部11は、図1に示される例では、Gaをドーブしたn形ZnOからなるコンタクト層3が1 $\mu$ m程度、同じくGaをドーブした $Mg_yZn_{1-y}O$  ( $0 \leq y < 1$ 、たとえば $y = 0.15$ ) からなるn形クラッド層4が0.2 $\mu$ m程度、 $Cd_xZn_{1-x}O$  ( $0 \leq x < 1$ 、かつクラッド層よりバンドギャップエネルギーが小さくなる組成、たとえば $x = 0.08$ ) からなる活性層5が0.1 $\mu$ m程度、GaおよびNを同時ドーブした $Mg_yZn_{1-y}O$  ( $0 \leq y < 1$ 、たとえば $y = 0.15$ ) からなるp形クラッド層6が0.2 $\mu$ m程度、GaおよびNを同時ドーブしたZnOからなるp形コンタクト層7が1 $\mu$ m程度、それぞれ積層されることにより、ダブルヘテロ構造の発光層形成部を有する半導体積層部11に
- 25 になっている。これらの半導体層は、前述のMBE装置でチッ化処理に引き続き成長される。なお、活性層5は、非発光再結合中心の形成を避け



るため、ノンドープであることが好ましい。また、n形およびp形クラッド層4、6は、活性層5よりバンドギャップが大きく、キャリアを活性層5内に有効に閉じ込める効果を有するように形成されている。

半導体積層部11上には、電流を拡散させるための、たとえばITO膜からなる透明電極8が0.2  $\mu\text{m}$ 程度成膜されており、その表面の一部にNi/AlまたはNi/Auなどの積層体からなるp側電極10がリフトオフ法などにより、また、シリコン基板1の裏面には、Ti/AlまたはTi/Auなどの積層体からなるn側電極9が真空蒸着などにより全面に形成されている。

つぎに、このLEDの製法について説明をする。たとえばMBE装置内にシリコン基板1をセッティングし、基板1の温度を650°C程度にし、 $\text{NH}_3$ ガスを流量0.6 sccmで導入し、出力300W程度の高周波電源にてプラズマ励起した状態でチャンバー内に導入する。この程度の流量にすることが、プラズマ励起光が強く得られるため好ましい。

そして、7分程度チッ化処理を行う。

つぎに、基板1の温度を300~450°C程度にし、プラズマ酸素の照射条件下において、Znのソース源(セル)のシャッターを開け、Znを照射すると共に、n形ドーパントのGaのシャッターも開けてn形のZnOからなるn形コンタクト層3を1  $\mu\text{m}$ 程度成長させる。ついで、さらにMgのソース源(セル)のシャッターも開け、 $\text{Mg}_{0.15}\text{Zn}_{0.85}\text{O}$ からなるn形クラッド層4を0.2  $\mu\text{m}$ 程度成長する。

つぎに、活性層5を成長するため、MgセルおよびドーパントのGaセルを閉め、Cdソースメタルのセルのシャッターを開いてCdを照射し、 $\text{Cd}_{0.08}\text{Zn}_{0.92}\text{O}$ を0.1  $\mu\text{m}$ 程度成長する。ついで、Cdのセルのシャッターを閉め、再度MgのセルおよびGaのセルを開け、さらにp形ドーパントとしてのプラズマ励起 $\text{N}_2$ を導入する。Gaはn形ドー

パントであるが、プラズマ励起 $N_2$ と同時ドーピングをすることにより、効果的にp形化できるため、同時にドーピングしている。そして、 $Mg_{0.15}Zn_{0.85}O$ からなるp形クラッド層6を $0.2\mu m$ 程度成長し、同様に同時ドーピングをしてp形 $ZnO$ からなるp形コンタクト層7を1  
5  $\mu m$ 程度成長することにより半導体積層部11を成長する。

その後、MBE装置よりエピタキシャル成長がされたウェハを取り出し、たとえばスパッタ装置に入れてITO膜を成膜し、透明電極8を $0.2\mu m$ 程度の厚さに設ける。その後、基板1の裏面を研磨し、 $100\mu m$ 程度の厚さとし、真空蒸着などにより基板1の裏面にTi/Alなど  
10 からなるn側電極9を全面に、ITO膜8上の一部にTi/Alなどからなるp側電極10をたとえばリフトオフ法などにより、それぞれ $0.2\mu m$ 程度つつ形成する。その後ウェハからチップ化することにより、図1に示されるLEDチップが得られる。

本発明のシリコン基板を用いた半導体発光素子によれば、シリコン基  
15 板の表面にチツ化シリコン膜が設けられ、その上に $ZnO$ 系化合物半導体層が積層されているため、 $ZnO$ 系化合物半導体層が結晶性よく成長されており、シリコン基板を用いた青色系の半導体発光素子が、サファイア基板上に成長するのと同様の高い発光効率で得られる。すなわち、従来はシリコン基板上に $ZnO$ 系化合物半導体を成長しても、膜質が悪  
20 く、非発光再結合中心が多いため、発光効率が非常に悪かったが、本発明により、シリコン基板を用いた青色系の半導体発光素子が得られた。

一方、チツ化シリコン膜は $10nm$ 以下と非常に薄い層であり、上下の導電性半導体層に挟まれることにより、殆ど電圧降下をすることなく導通性を有する。その結果、チップの上下からp側電極およびn側電極  
25 をそれぞれ取り出すことができる垂直型の発光素子となり、電極形成のための積層された半導体層の一部をエッチングする必要がなくなり、非

常に製造工程が簡略化すると共に、発光素子をマウントする場合に両電極をワイヤボンディングしないで、一方はダイボンディングにより直接電極を接続することができてワイヤボンディングを減らすことができ、使用面でも非常に便利になる。

- 5      さらに、後述するようなLDを形成する場合に、光共振器の端面を鏡面にすることが好ましいが、シリコン基板上に立方晶の半導体層が積層されることにより、基板から半導体積層部が立方晶により整列するため、サファイア基板と比べて、劈開をすることが容易であり、光共振器の端面を劈開面で形成することができる。その結果、発振特性の優れた青色
- 10    系の半導体レーザを得ることができる。

前述の例は、LEDの例であったが、LDであっても同様である。この場合、半導体積層部11が若干異なり、たとえば図4に断面説明図が示されるように、活性層15はノンドープの $\text{Cd}_{0.03}\text{Zn}_{0.97}\text{O}$ / $\text{Cd}_{0.2}\text{Zn}_{0.8}\text{O}$ からなるバリア層とウェル層とをそれぞれ5nmおよび4nmづつ交互に2～5層づつ積層した多重量子井戸構造により形成

15    することが好ましい。また、活性層15が薄く十分に光を活性層15内に閉じ込められない場合には、たとえばZnOからなる光ガイド層14、16が活性層15の両側に設けられる。

また、図4に示される例では、電流狭窄層17を埋め込むSAS型構造のLDチップの例で、p形 $\text{Mg}_{0.15}\text{Zn}_{0.85}\text{O}$ からなるp形第1クラッド層6aの上に、たとえばn形 $\text{Mg}_{0.2}\text{Zn}_{0.8}\text{O}$ からなる電流狭窄層17が0.4 $\mu\text{m}$ 程度設けられ、一旦結晶成長装置からウェハを取り出し、表面にレジスト膜を設けてストライプ状にバターニングをし、NaOHなどのアルカリ溶液により電流狭窄層17をストライプ状にエッチングして、ストライプ溝18が形成され、再度MBE装置にウェハを

20    戻し、p形 $\text{Mg}_{0.15}\text{Zn}_{0.85}\text{O}$ からなるp形第2クラッド層6bおよ

25

びp形ZnOからなるp形コンタクト層7が前述の例と同様に成長されることにより形成されている。この場合は、ITOからなる透明電極は不要で、p形コンタクト層7上にもほぼ全面にp側電極10が形成されている。なお、図示されていないが、p形第1クラッド層6aと電流狭  
5 窄層17との間にp形GaNからなるエッチングストップ層が設けられることが好ましい。

ZnO系化合物半導体は、ウェットエッチングによりエッチング処理をすることができるため、GaN系化合物半導体では難しい電流狭窄層を埋め込むSAS型構造のLDチップを形成することができ、活性層の  
10 近くに電流狭窄層を形成することができ、高特性の半導体レーザが得られる。しかし、LDチップの構造は、SAS型構造に限らず、p側電極をストライプ状にただけの電極ストライプ構造や、ストライプ状電極の両側の半導体層をp形クラッド層の上部までをメサ型形状にエッチングするメサストライプ構造や、プロトンなどを打ち込んだプロトン打込  
15 み型にすることもできる。電極ストライプ構造のLDチップの例を図5に示す。この構造はp側電極10がストライプ状にパターンニングされていることと、電流狭窄層が設けられていない点で図4の構造と異なるだけで、他の構造は図4と殆ど同じで、同じ部分には同じ符号を付して、その説明を省略する。なお、6はp形クラッド層である。

20 このような構造にしても、基板にシリコンが用いられているため、上下両面から両電極を取り出すことができ、製造面および使用面の両方から非常に便利であると共に、光共振器の端面を劈開による劈開面で形成することができるため、高特性の半導体レーザが得られる。

前述の例では、LEDとして、ダブルヘテロ構造の例であったが、  
25 純なpn接合やMIS（金属－絶縁層－半導体層）構造など他の構造にすることもできる。また、LDチップの構造も、光ガイド層がなく他の

層が設けられたり、前述の積層構造に限定されるものではない。さらに、シリコン基板のチッ化処理やその後のZnO系化合物半導体の成長にMBE装置を用いて行ったが、MOCVD装置などを用いてチッ化処理およびその後の半導体層の成長を行っても、その条件さえ設定されれば、

5 一々表面状態を観察しながら行う必要はなく、同様の表面状態を形成することができる。他の方法で製造することもできる。

シリコン基板を用いる本発明によれば、シリコン基板上にZnO系化合物半導体を成長することができ、上下両面に電極を設ける垂直型の青色系の半導体発光素子が得られる。そのため、製造工程が簡単でコスト

10 ダウンを行うことができると共に、使用段階でもワイヤボンディングを減らすことができ、使用しやすい半導体発光素子が安価に得られる。

さらに、劈開することができるため、優れた端面を有するレーザ共振器が得られ、高い記憶密度を有する光ディスクや、レーザビームプリンタの高精細化に利用できる短波長の高性能の半導体レーザが得られる。

15 つぎに、C面と直交する面を主面とするサファイア基板を用いた本発明によるZnO系化合物層を用いた素子、およびそれらの素子を製造するためのZnO系化合物層の結晶成長方法について説明をする。

C面と直交する面を主面とするサファイア基板を用いた本発明によるZnO系化合物層を有する素子は、図6にその一実施形態であるA面を

20 主面とするサファイア基板1a上にZnO化合物層を成長した断面説明図が示されるように、サファイア基板1aのC面と直交する面、たとえばA面(11-20)を主面とするサファイア基板1aの前記主面(A面)上にZnO系化合物層2がエピタキシャル成長されている。このZnO系化合物層の成長は、目的とする素子により必要な組成(MgやCd

25 dなどを混晶したり、ドーバントをドーピングしたりする)にしたり、必要な厚さに成長される。たとえば半導体発光素子を構成する場合には、

後述するように、たとえばZnO系化合物半導体層からなるn形クラッド層とp形クラッド層とで、クラッド層よりバンドギャップの小さい活性層を挟持する発光層形成部を構成するように順次積層される。

5 サファイアのA面は、図7(a)にサファイア単結晶の代表的な面方位が、図7(b)に単結晶のC面の正面図が示されるように、C面の格子で1つおきの格子を結ぶ線分のC面と垂直な面で、サファイア単結晶の(11-20)の面方位で示される面である。この面方位は6回対称で、図7(b)に示されるように、1つの六角柱にて形成される結晶で6ヶ所ある。このA面であれば、後述するようにサファイアのc軸長に  
10 ZnOのa軸長が4個分に対応して、優れた結晶構造が得られると考えられるが、この考えに基づくと、必ずしもA面である必要はなく、図7(b)のXで示されるように、A面がC面内で回転するような面でもC面に対して直角になり、このようにC面に直交する面であればよい。なお、このC面に対して直角(直交)というのは、ほぼ直角という程度の  
15 もので、通常的面方位の誤差である $\pm 0.5^\circ$ 程度の範囲は結晶軸長のズレには影響しない。

このサファイア基板1a上にZnO化合物層を成長するには、まずA面を主面とするサファイアのウェハ1aを、アセトン、エタノールを用いて、脱脂洗浄をし、最後に純粋洗浄をする。その後、洗浄ウェハをロー  
20 ドロック(Load Lock)室に入れ、 $1.33 \times 10^{-6}$  Pa程度以下の真空中で、400℃程度で1時間程度の予備加熱をし、余分な水分を飛ばす。

予備加熱終了後、 $1.33 \times 10^{-9} \sim 1.33 \times 10^{-10}$  Pa程度の真空中に保たれたMBE(Molecular Beam Epitaxy)装置に搬入する。そ  
25 して、800℃程度で30分程度のサーマルクリーニングをした後に650℃程度にする。そして、 $O_2$ ラジカルを13.56 MHzのRFに

よりプラズマ化することによって供給し、Znのセルのシャッターを開けることによりZnO層2がエピタキシャル成長する。なお、MgやCdなどを混晶したり、ドーパントをドーピングする場合には、それらの元素のセルを開けることにより所望のZnO系化合物層を得ることができる。なお、この例では、洗浄後のサーマルクリーニングを800℃程度で30分程度行ったが、1000℃程度で1時間程度のアニール処理を行うと成長するZnO層の結晶性の再現性が非常に向上することが確認された。

このように、A面を主面とするサファイア基板の表面にエピタキシャル成長したZnO膜の結晶状態を調べるため、数百nm程度の厚さにエピタキシャル成長したZnO膜の表面にX線を照射して、その反射強度分布により得られる面の法線方向の位置をその面方位と共に図8に示す。図8(a)が本発明のA面を主面とするサファイア基板上に成長した膜における面の法線方向の位置を示す図で、図8(b)がC面を主面とするサファイア基板上に成長したZnO膜における面の法線方向の位置を示す図である。

ZnOはa軸方向で6回対称であるため、本来なら6点しか回折パターン(面の法線方向の位置)が現れないはずであるが、図8(b)に示されるC面上に成長したZnO膜では、ZnOのa軸とサファイアのa軸とが平行なところの他に、ZnOのa軸がサファイアのa軸に対して30°回転したパターンが入り混じり、12点のパターンが観察されている(実際には、30°回転の位置のパターンは強度が薄く、その割合が少ないことを示していた)。これに対して、図8(a)に示されるように、本発明のA面上に成長させたZnO膜は、ZnOのA面とサファイアのC面とが平行になり、ZnOは一定の結晶方向でサファイアのc軸方向に成長し、6回対称の回折パターンのみが観察されている。すなわ

ち  $30^\circ$  回転した結晶成長はしていないことが分る。

また、MBE法により1分程度成長した状態（数十nm程度の厚さ）で、RHEED法（反射高エネルギー電子回折法；電子銃により10～50kVで加速された電子ビームを基板表面に浅い角度（ $1\sim 2^\circ$ 以下）で入射させ、表面原子によって反射回折された電子ビームを蛍光スクリーンに投影して結晶の表面状態を調べる方法）により調べた結果、サファイアのC面上に成長した膜では、本来のZnOパターンの間に薄いパターンが現れたが、本発明のA面上に成長したZnO膜では、面内配向の乱れがなく本来のZnOのパターンのみが観察された。

- 10 図9は、ZnO膜の結晶状態をさらに別の方法で調べたもので、このZnOのバンドギャップエネルギーより大きい4eV程度の光を照射してフォトルミネッセント発光をさせたものの波長に対する発光強度を示した図である。図9のAで示される特性が、本発明のA面を主面とするサファイア基板上に成長したZnO膜の特性で、Cで示される特性がC面を主面とするサファイア基板上に成長したZnOの特性である。図9から明らかなように、本発明のZnO膜では、C面上に成長したZnO膜より約30倍の強度の発光が得られ、その半値幅もC面上に成長したものが30meVであるのに対して、本発明のA面に成長したものは0.7meVと小さく、明らかに良好な結晶が得られていることを示している。

- 20 本発明によれば、C面と直交するA面を主面とするサファイア基板上にZnO系化合物を成長しているため、前述のように、結晶性の優れたZnO系化合物層が得られた。この理由はつぎのように考えられる。すなわち、サファイアのc軸長 $c_s$ は、前述のように、1.2991nmであり、ZnOのa軸長 $a_z$ は、0.325nmであるため、 $c_s$ がほぼ4 $a_z$ となる。そのため、図10にA面を主面とするサファイア基板上に



## 23

成長するZnOの結晶状態（C面）の平面図が示されるように、サファイアのc軸長 $c_s$ に2個分のZnO結晶（a軸が4個分の結晶）が配列されて、非常に面内配向が安定し、常に一定の面内配向で成長すると考えられる。このときの格子整合度 $\varepsilon$ は、 $\varepsilon = (4 \times a_z - c_s) / c_s = 0.07\%$ となり、非常に整合度が高くなっている。その結果、高い結晶性を保持して成長することができる。

この観点からは、A面でなくても、前述の図7に示されるX面のように、A面がC面内で回転した面、すなわちC面と直交する面であれば、前述の図10に示されるように、サファイアのc軸長に、ZnOのa軸長4個分が対応するようにZnO系化合物結晶が配列され、同様に結晶性のよいZnO系化合物結晶層が得られることが推察される。

つぎに、このA面（11-20）を主面とするサファイア基板を用いて、ZnO系化合物半導体層を成長した青色系の半導体発光素子の構成例について説明をする。

C面と直交する面を主面とするサファイア基板を用いた本発明の半導体発光素子は、図11にLEDチップの斜視説明図が示されるように、A面を主面とするサファイア基板1aの表面にZnO系化合物半導体からなるn形層3、4およびp形層6、7を少なくとも有し、発光層を形成するように半導体積層部11が積層されている。

半導体積層部11は、図11に示される例では、Gaをドーブしたn形ZnOからなるコンタクト層3が1 $\mu$ m程度、同じくGaをドーブしたMg<sub>y</sub>Zn<sub>1-y</sub>O（ $0 \leq y < 1$ 、たとえば $y = 0.15$ ）からなるn形クラッド層4が0.2 $\mu$ m程度、Cd<sub>x</sub>Zn<sub>1-x</sub>O（ $0 \leq x < 1$ 、かつクラッド層よりバンドギャップエネルギーが小さくなる組成、たとえば $x = 0.08$ ）からなる活性層5が0.1 $\mu$ m程度、GaおよびNを同時ドーブしたMg<sub>y</sub>Zn<sub>1-y</sub>O（ $0 \leq y < 1$ 、たとえば $y = 0.15$ ）からなる

p形クラッド層6が $0.2\mu\text{m}$ 程度、GaおよびNを同時ドーピングしたZnOからなるp形コンタクト層7が $1\mu\text{m}$ 程度、それぞれ積層されることにより、ダブルヘテロ構造の発光層形成部を有する半導体積層部11になっている。これらの半導体層は、前述のMBE装置で連続的に成長される。なお、活性層5は、非発光再結合中心の形成を避けるため、ノンドープであることが好ましい。また、n形およびp形クラッド層4、6は、活性層5よりバンドギャップが大きく、キャリアを活性層5内に有効に閉じ込める効果を有するように形成されている。

半導体積層部11上には、電流を拡散させるための、たとえばITO膜からなる透明電極8が $0.2\mu\text{m}$ 程度成膜されており、その表面の一部にNi/AlまたはNi/Auなどの積層体からなるp側電極10がリフトオフ法などにより、また、半導体積層部11の一部がエッチングにより除去され、露出するn形コンタクト層3上に、Ti/AlまたはTi/Auなどの積層体からなるn側電極9が真空蒸着などにより形成されている。

つぎに、このLEDの製法について説明をする。前述のように、A面を主面とするサファイア基板1をアセトンなどにより脱脂洗浄をし、Load Lock室で予備加熱、MBE装置内でのサーマルクリーニングをした後、 $650^\circ\text{C}$ 程度にして酸素ラジカルを供給すると共に、Zn、Mg、Cd、Gaなどの、所望材料のセルのシャッターを開けることにより、前述の組成のZnO系化合物半導体層をそれぞれ前述の厚さになるように、順次エピタキシャル成長して、半導体積層部11を形成する。なお、n形層を形成する場合はドーパントとしてGaをドーピングし、p形層を形成する場合は、ドーパントとして $\text{N}_2$ プラズマとGaを同時にドーピングした。

その後、MBE装置よりエピタキシャル成長がされたウェハを取り出

し、反応性イオンエッチング (R I E) などのドライエッチング法により、半導体積層部の一部をエッチングして、n形コンタクト層3を露出させる。このエッチングは、硫酸系エッチャントなどによるウェットエッチングにより行うこともできる。その後、たとえばスパッタ装置に入れて、p形コンタクト層7上にITOを成膜し、透明電極8を $0.2\mu\text{m}$ 程度の厚さに設ける。その後、リフトオフ法などによりn形コンタクト層3上にTi/Alなどからなるn側電極9を、ITO膜8上の一部にTi/Alなどからなるp側電極10を、それぞれ $0.2\mu\text{m}$ 程度ずつ形成する。その後ウェハからチップ化することにより、図11に示されるLEDチップが得られる。

サファイア基板を用いる本発明の半導体発光素子によれば、A面を主面とするサファイア基板の表面にZnO化合物半導体層がエピタキシャル成長されているため、サファイアのc軸長とZnO化合物の4個のa軸長とが整合して配列され、結晶性のよいZnO化合物半導体層が成長する。その上に成長されるZnO系化合物半導体層もZnOと同種の化合物であり、ZnO層の結晶に沿って整合された結晶層が成長する。その結果、膜質の悪い場合のように非発光再結合中心が発生することなく、内部量子効率が大幅に向上し、ZnO系化合物の有する高いエキシトンと相俟って、非常に高い発光効率の半導体発光素子が得られる。なお、A面を主面とするサファイア基板上に成長する化合物半導体層は、ZnOでなくても、Znの一部がMgやCdなどと置換されたZnO系化合物半導体でも格子定数に殆ど変化はなく、同様に結晶性よく成長することができる。

前述の例は、LEDの例であったが、LDであっても同様である。この場合、半導体積層部11が若干異なり、たとえば図12に斜視説明図が示されるように、活性層15はノンドープの $\text{Cd}_{0.03}\text{Zn}_{0.97}\text{O}$ ／

## 26

$\text{Cd}_{0.2}\text{Zn}_{0.8}\text{O}$ からなるバリア層とウェル層とをそれぞれ5 nmおよび4 nmずつ交互に2~5層ずつ積層した多重量子井戸構造により形成することが好ましい。また、活性層15が薄く十分に光を活性層15内に閉じ込められない場合には、たとえばZnOからなる光ガイド層14、16が活性層15の両側に設けられる。なお、半導体積層部11の一部がエッチングされて、露出するn形コンタクト層3にn側電極9が形成されるのは、前述のLEDの場合と同様である。

また、図12に示される例では、電流狭窄層17を埋め込むSAS型構造のLDチップの例で、p形 $\text{Mg}_{0.15}\text{Zn}_{0.85}\text{O}$ からなるp形第1クラッド層6aの上に、たとえばn形 $\text{Mg}_{0.2}\text{Zn}_{0.8}\text{O}$ からなる電流狭窄層17が0.4  $\mu\text{m}$ 程度設けられ、一旦結晶成長装置からウェハを取り出し、表面にレジスト膜を設けてストライプ状にパターニングをし、硫酸系溶液などにより電流狭窄層17をストライプ状にエッチングして、2~3  $\mu\text{m}$ 幅のストライプ溝18が形成され、再度MBE装置にウェハを戻し、p形 $\text{Mg}_{0.15}\text{Zn}_{0.85}\text{O}$ からなるp形第2クラッド層6bおよびp形ZnOからなるp形コンタクト層7が前述の例と同様に成長されることにより形成されている。この場合は、ITOからなる透明電極は不要で、p形コンタクト層7上にもほぼ全面にp側電極10が形成されている。なお、図示されていないが、p形第1クラッド層6aと電流狭窄層17との間にp形GaNからなるエッチングストップ層が設けられることが好ましい。

ZnO系化合物半導体は、ウェットエッチングによりエッチング処理をすることができるため、GaN系化合物半導体では難しい電流狭窄層を埋め込むSAS型構造のLDチップを形成することができ、活性層の近くに電流狭窄層を形成することができ、高特性の半導体レーザが得られる。しかし、LDチップの構造は、SAS型構造に限らず、p側電極

をストライプ状にただけの電極ストライプ構造や、ストライプ状電極の両側の半導体層をp形クラッド層の上部までをメサ型形状にエッチングするメサストライプ構造や、プロトンなどを打ち込んだプロトン打込み型にすることもできる。電極ストライプ構造のLDチップの例を図13に示す。この構造はp側電極10がストライプ状にバターニングされていることと、電流狭窄層が設けられていない点で図12の構造と異なるだけで、他の構造は図12と殆ど同じで、同じ部分には同じ符号を付して、その説明を省略する。なお、6はp形クラッド層である。

前述の例では、LEDとして、ダブルヘテロ構造の例であったが、単純なpn接合やMIS（金属－絶縁層－半導体層）構造など他の構造にすることもできる。また、LDチップの構造も、光ガイド層がなく他の層が設けられてもよく、前述の積層構造に限定されるものではない。

さらに、前述の各例では、ZnO系化合物層の成長をするのに、MBE装置を用いて行ったが、MOCVD装置などを用いて行うこともできる。この場合、反応ガスとしては、Znとしてジエチル亜鉛（ $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）、Oとしてテトラヒドロフラン（ $\text{C}_4\text{H}_8\text{O}$ ）、Mgとしてシクロペンタジエチルマグネシウム（ $\text{Cp}_2\text{Mg}$ ）、Cdとしてジエチルカドミウム（ $\text{Cd}(\text{C}_2\text{H}_5)_2$ ）、ドーパントのGaとしてトリエチルガリウム（TEG）、 $\text{N}_2$ としてプラズマ $\text{N}_2$ を供給することにより気相反応をさせることができる。

なお、前述の例では、ZnO系化合物半導体を用いた素子の例が半導体発光素子のみであるが、SAWデバイス、圧電素子、焦電素子などで、結晶性の優れたZnO系化合物層を必要とする場合は、同様にC面と直交する面を主面とするサファイア基板を用いて成長させることにより、結晶性の優れたZnO系化合物半導体層を有する素子を得ることができる。

本発明によれば、非常に結晶性の優れたZnO系化合物層を成長することができるため、その上に積層するZnO系化合物層の結晶性も優れ、優れた特性のZnO系化合物層を有する素子が得られる。

- また、本発明の半導体発光素子によれば、積層されるZnO系化合物
- 5 半導体層の結晶性が非常に優れているため、非常に内部量子効率の優れた青色系の半導体発光素子を、ウェット処理をすることができる材料により得ることができる。

#### 産業上の利用性

- 10 本発明によれば、結晶性の非常に優れたZnO系化合物半導体層をシリコン基板またはサファイア基板上に形成することができ、青色系のLEDやLDなどの発光素子、SAWデバイス、圧電素子、焦電素子などを高特性で安価に得ることができる。高特性の青色系LEDやLDが安価に得られることにより、フルカラーディスプレイや信号灯などの光源、
- 15 次世代の高記憶密度のDVD、レーザビームプリンタなどの光源として利用することができる。

## 請求の範囲

- 1 シリコン基板と、該シリコン基板の表面に設けられるシリコンチッ  
化膜と、該シリコンチッ化膜上に設けられ、ZnO系化合物半導体から  
5 なるn形層およびp形層を少なくとも有し、発光層を形成すべく積層さ  
れる半導体積層部とを含むシリコン基板を用いたZnO系化合物半導体  
発光素子。
- 2 前記シリコンチッ化膜の表面がアモルファス化しないで平坦面に  
形成されてなる請求項1記載の半導体発光素子。
- 10 3 前記シリコンチッ化膜が、10nm以下の厚さに形成されてなる  
請求項1または2記載の半導体発光素子。
- 4 前記半導体積層部が、 $Cd_xZn_{1-x}O$  ( $0 \leq x < 1$ ) からなる  
活性層を、 $Mg_yZn_{1-y}O$  ( $0 \leq y < 1$ ) からなり前記活性層よりバ  
ンドギャップエネルギーの大きいクラッド層により挟持するダブルヘテ  
15 ロ構造を有する請求項1、2または3記載の半導体発光素子。
- 5 シリコン基板をチッ素が存在する雰囲気下で熱処理することによ  
りシリコン基板の表面にシリコンチッ化膜を形成し、該シリコンチッ化  
膜上にZnO系化合物半導体からなり発光層を形成する半導体積層部を  
成長することを特徴とする半導体発光素子の製法。
- 20 6 前記シリコンチッ化膜を形成する処理を、形成されるシリコンチッ  
化膜の表面がシリコン基板の平坦面を維持できるように該処理の温度ま  
たは時間を制御しながら行う請求項5記載の半導体発光素子の製法。
- 7 ZnO系化合物層を有する素子であって、サファイア基板のC面  
と直交する面を主面とするサファイア基板と、該サファイア基板の前記  
25 主面上にエピタキシャル成長されたZnO系化合物層とを有するZnO  
系化合物層を有する素子。

8 前記サファイア基板の主面がA面である請求項7記載の素子。

9 サファイア基板上にZnO系化合物層をエピタキシャル成長する方法であって、サファイア基板のc軸と前記ZnO系化合物層のc軸とが直交するように前記ZnO系化合物層をエピタキシャル成長するZnO系化合物層の結晶成長方法。

10 10 サファイア基板のC面と直交する面を主面とするサファイア基板と、該サファイア基板の前記主面上にエピタキシャル成長されたZnO系化合物半導体からなるn形層およびp形層を少なくとも有し、発光層を形成すべく積層される半導体積層部とを含むZnO系化合物半導体発光素子。

11 前記サファイア基板の主面がA面である請求項10記載の半導体発光素子。

12 前記半導体積層部が、 $Cd_x Zn_{1-x}O$  ( $0 \leq x < 1$ ) からなる活性層を、 $Mg_y Zn_{1-y}O$  ( $0 \leq y < 1$ ) からなり前記活性層よりバンドギャップエネルギーの大きいクラッド層により挟持するダブルヘテロ構造を有する請求項10または11記載の半導体発光素子。



1/9

図 1

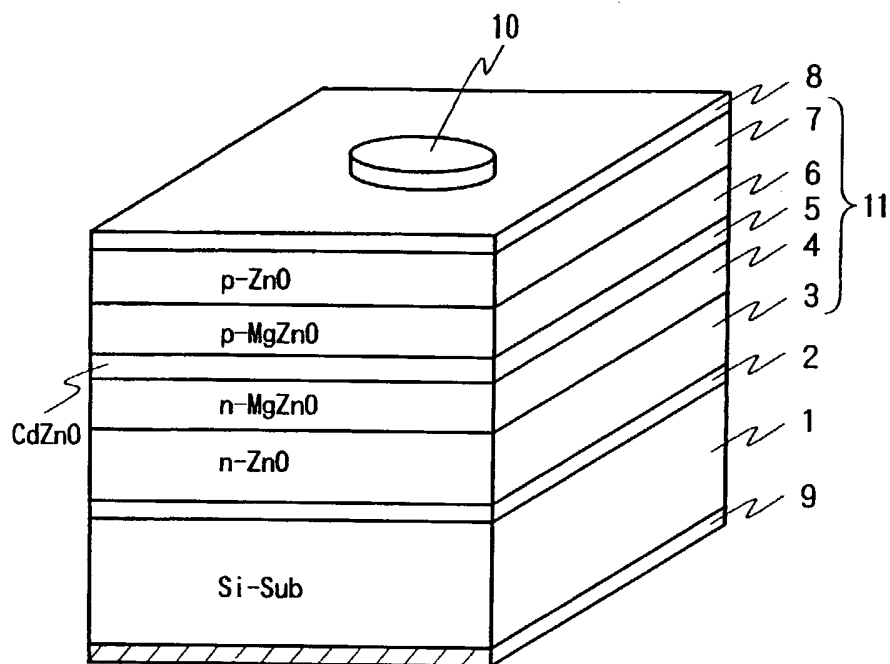
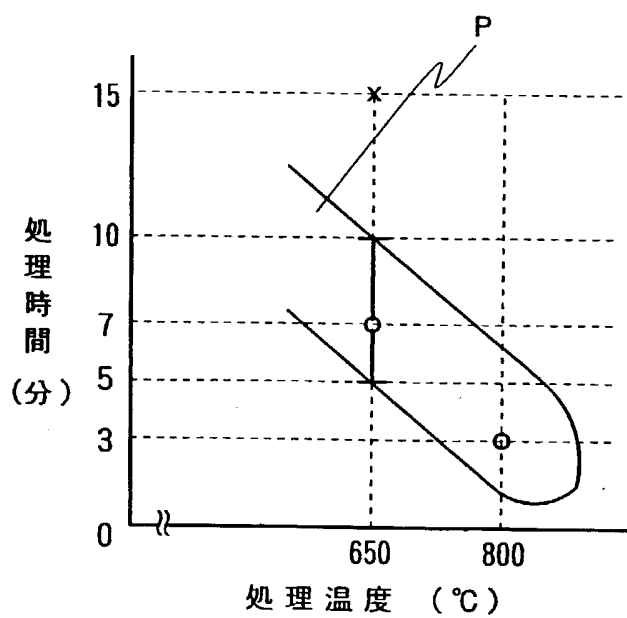


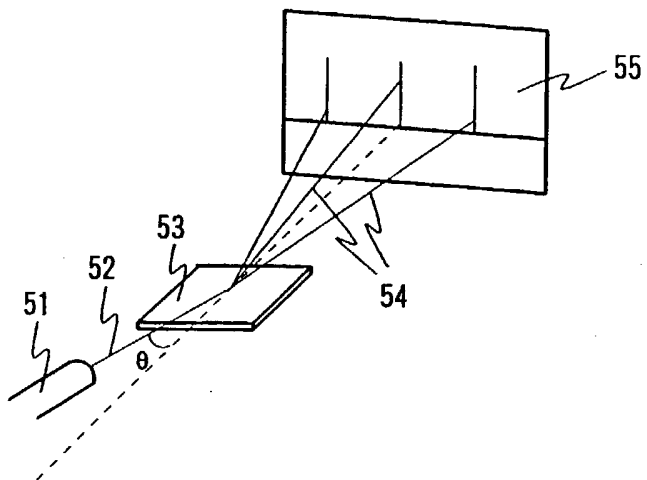
図 2



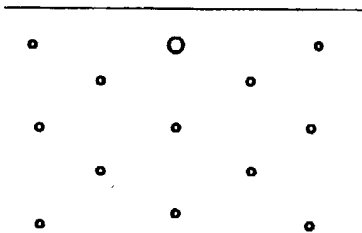
2/9

図 3

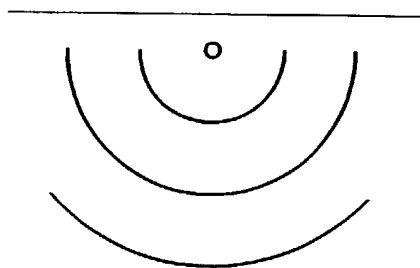
(a)



(b)



(c)



3/9

図 4

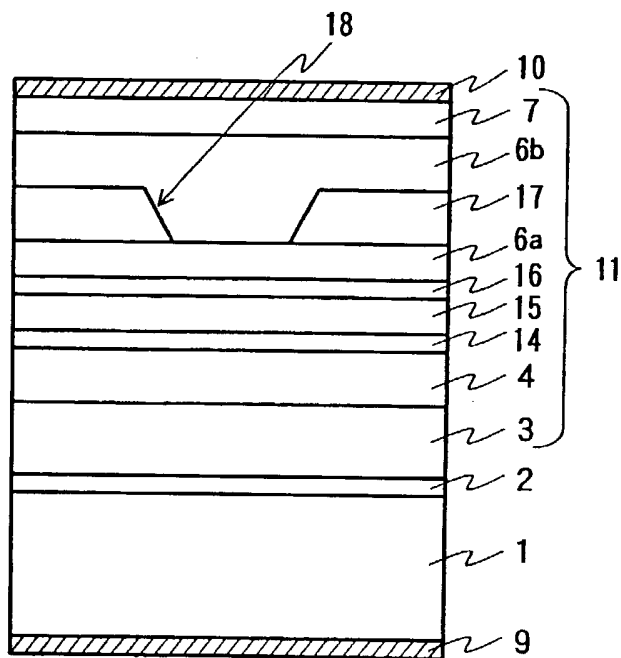
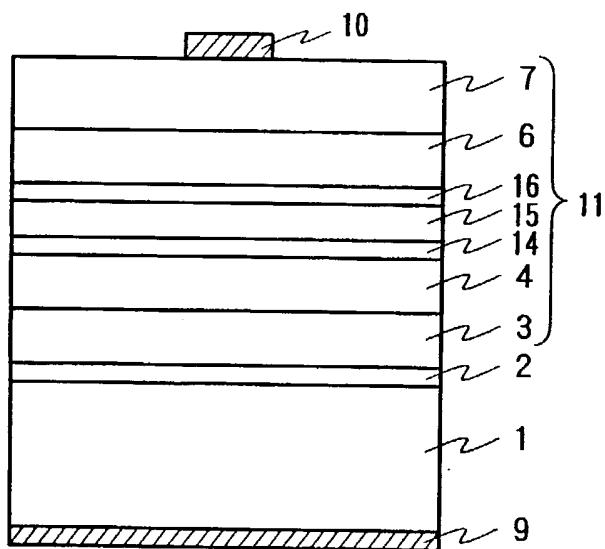


図 5



4/9

図 6

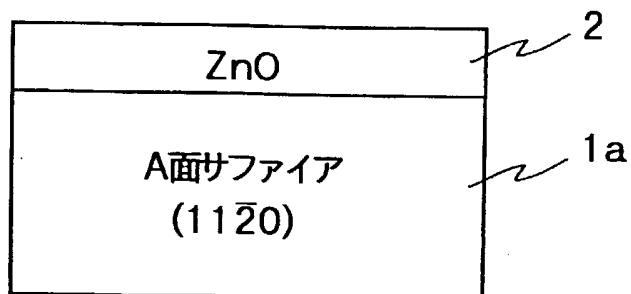
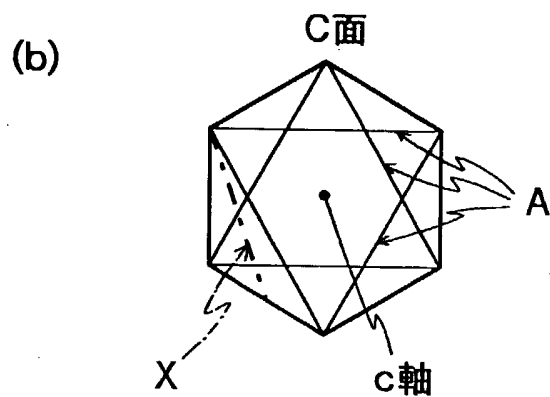
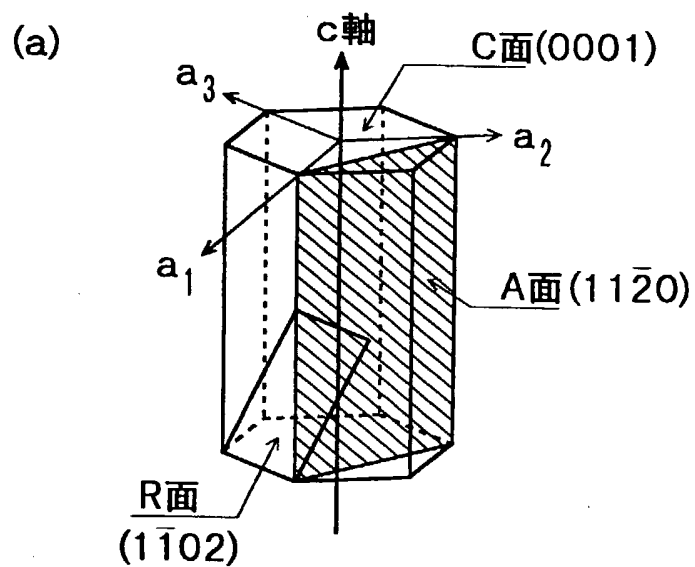


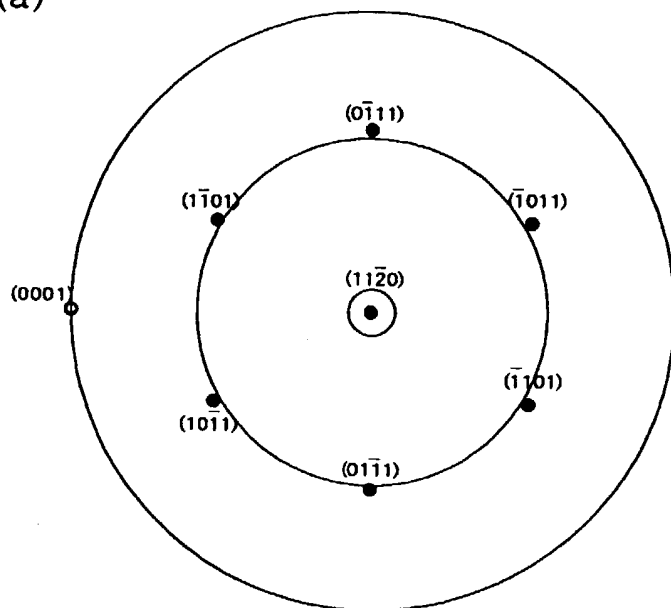
図 7



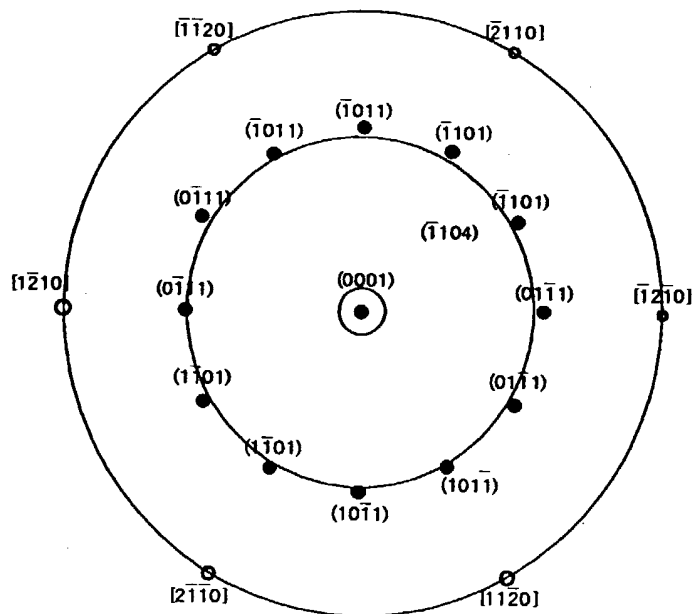
5/9

図 8

(a)

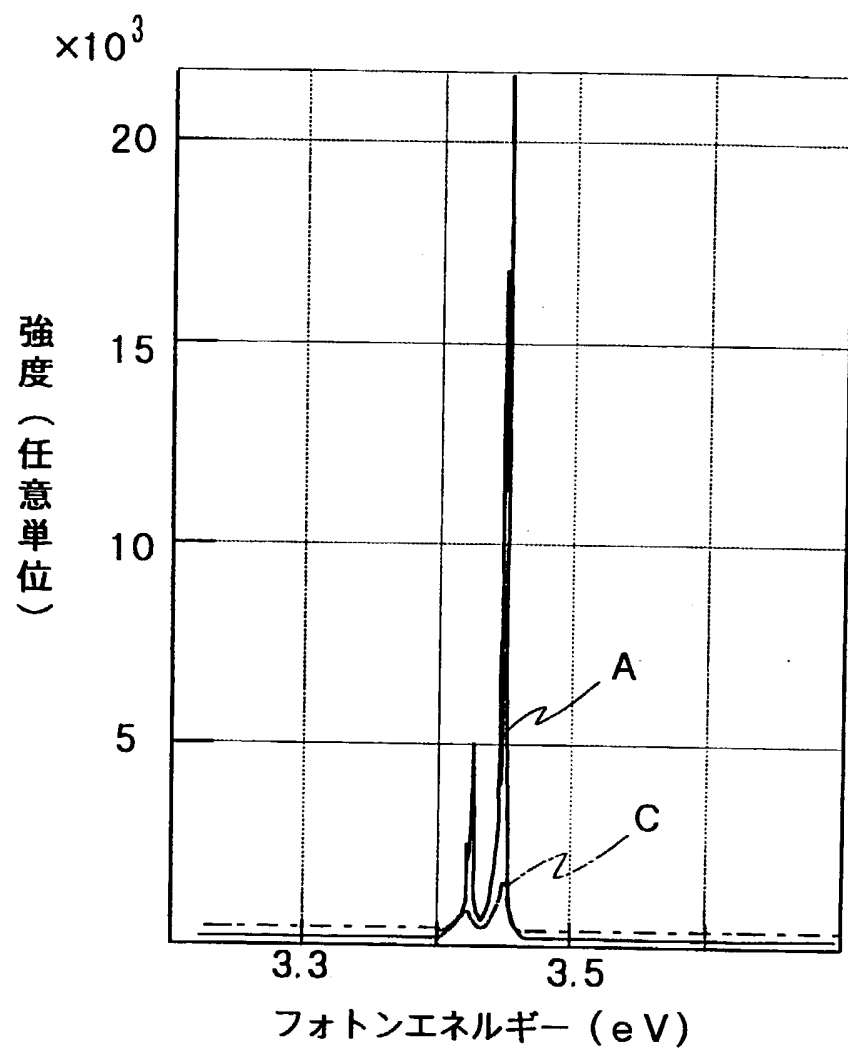


(b)



6/9

図 9



7/9

図 10

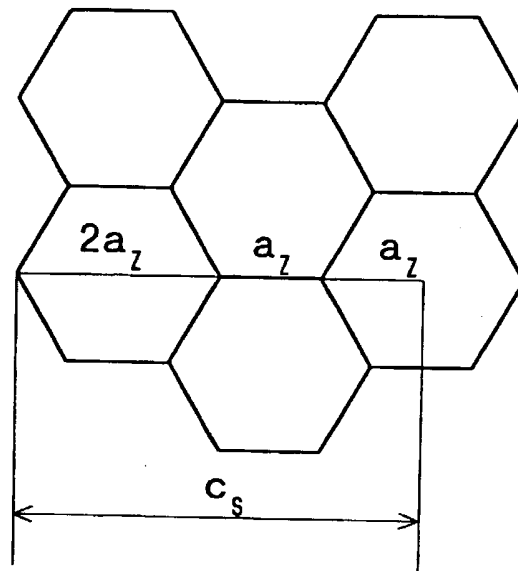
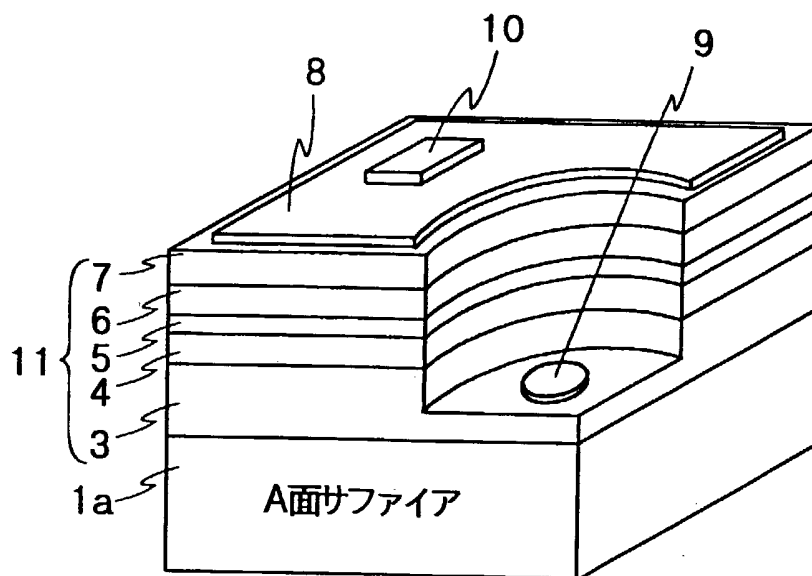


図 11



8/9

図 12

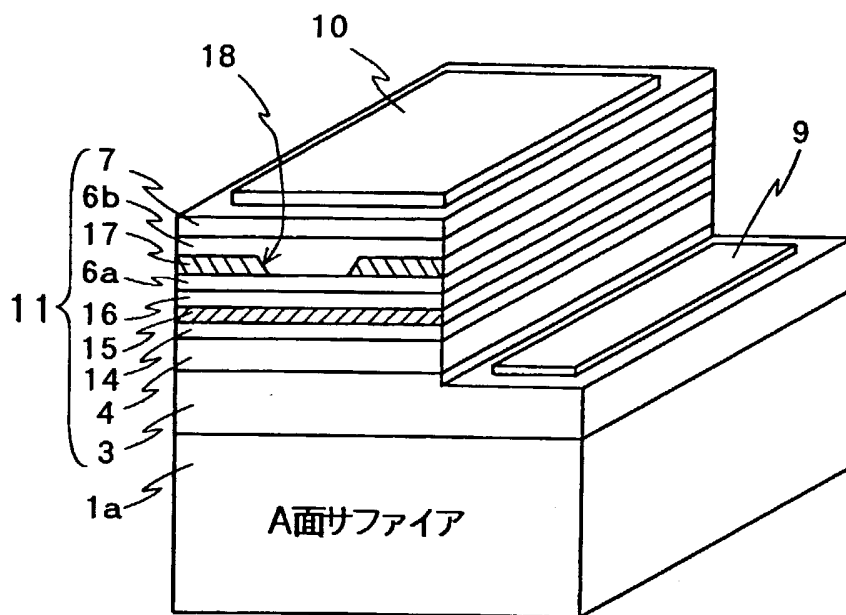
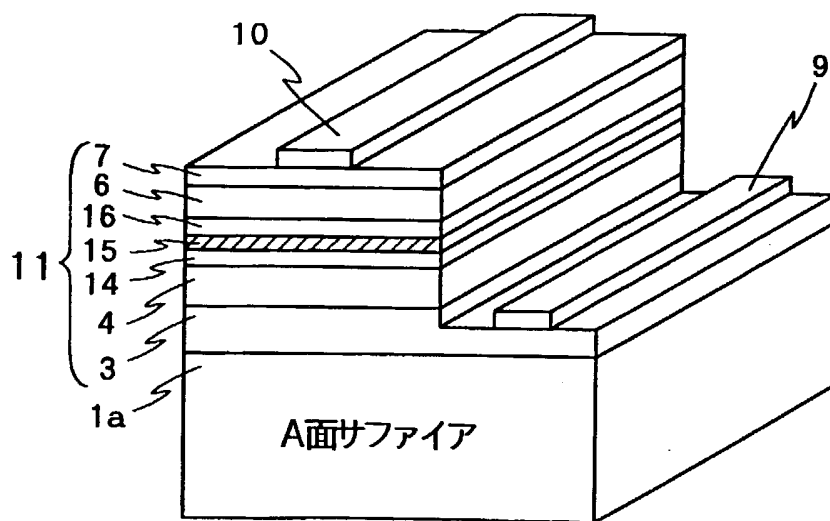


図 13





9/9

図 14

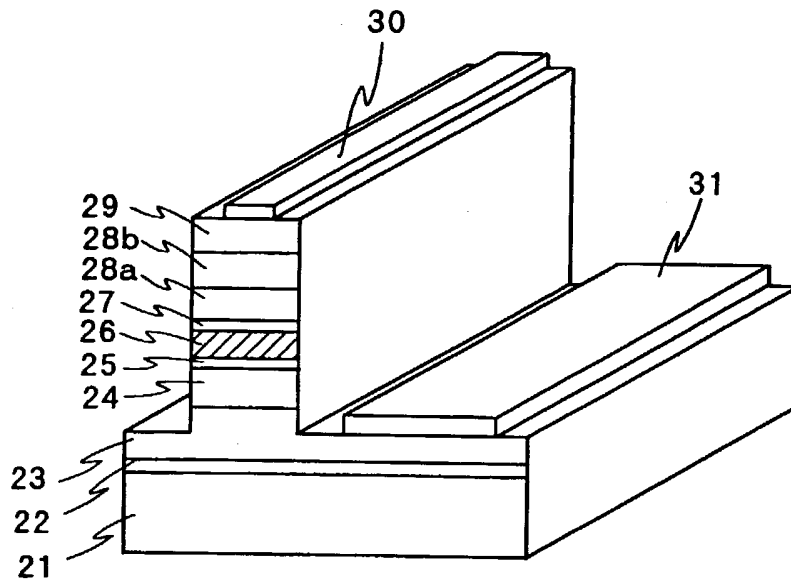
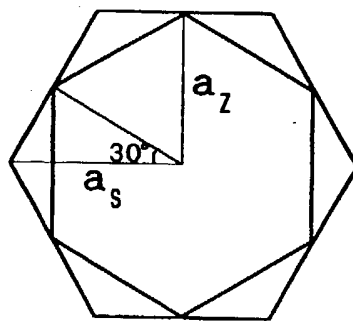


図 15



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04998

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L 33/00, H01S 5/343

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L 33/00, H01S 5/00-5/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 7-283436, A (Sumitomo Chemical Company, Limited), 27 October, 1995 (27.10.95), Par. Nos. [0009], [0016], [0017] (Family: none)	7-8
E, X	JP, 2000-244015, A (Murata MFG. Co., Ltd.), 08 September, 2000 (08.09.00) Full text; all drawings (Family: none)	7-8, 10-11
E, X	JP, 2000-101138, A (Murata MFG. Co., Ltd.), 07 April, 2000 (07.04.00) Full text; all drawings (Family: none)	7-9
E, A	JP, 2000-82842, A (Murata MFG. Co., Ltd.), 21 March, 2000 (21.03.00) Full text: all drawings (Family: none)	1-6
A	JP, 10-256673, A (Japan Science and Technology Corp.), 25 September, 1998 (25.09.98), Full text; all drawings	7-12

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
23 October, 2000 (23.10.00)

Date of mailing of the international search report  
07 November, 2000 (07.11.00)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04998

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	& EP, 863555, A2	
A	JP, 55-110089, A (FUTABA CORPORATION), 25 August, 1980 (25.08.80), Full text; all drawings & DE, 3005536, A & GB, 2044519, A	7-11
A	JP, 10-270749, A (Japan Science and Technology Corp.), 09 October, 1998 (09.10.98), Par. No. [0027] & EP, 863555, A2	4, 12
A	Appl. Phys. Lett., Vol. 72, No. 25 (22.06.98), pp.3270-3272	7-12
A	Appl. Phys. Lett., Vol. 74, No. 17 (26.04.99), pp.2534-2536	1-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl <sup>7</sup> H01L 33/00、H01S 5/343		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl <sup>7</sup> H01L 33/00、H01S 5/00-5/50		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2000年 日本国登録実用新案公報 1994-2000年 日本国実用新案登録公報 1996-2000年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
JICST		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 7-283436, A (住友化学工業株式会社) 27. 10月. 1995 (27. 10. 95) 段落番号【0009】、【0016】、【0017】 (ファミリーなし)	7-8
E, X	JP, 2000-244015, A (株式会社村田製作所) 08. 9月. 2000 (08. 09. 2000) 全文, 全図 (ファミリーなし)	7-8, 10-11
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	23. 10. 00	国際調査報告の発送日
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 門田 かづよ 電話番号 03-3581-1101 内線 6593

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, X	JP, 2000-101138, A (株式会社村田製作所) 07. 4月. 2000 (07. 04. 2000) 全文, 全図 (ファミリーなし)	7-9
P, A	JP, 2000-82842, A (株式会社村田製作所) 21. 3月. 2000 (21. 03. 2000) 全文, 全図 (ファミリーなし)	1-6
A	JP, 10-256673, A (科学技術振興事業団) 25. 9月. 1998 (25. 09. 98) 全文, 全図 &EP, 863555, A2	7-12
A	JP, 55-110089, A (双葉電子工業株式会社) 25. 8月. 1980 (25. 08. 80) 全文, 全図 &DE, 3005536, A &GB, 2044519, A	7-11
A	JP, 10-270749, A (科学技術振興事業団) 09. 10月. 1998 (09. 10. 98) 段落番号【0027】 &EP, 863555, A2	4, 12
A	Appl. Phys. Lett. Vol. 72 No. 25 (22. 06. 98) 第3270-3272頁	7-12
A	Appl. Phys. Lett. Vol. 74 No. 17 (26. 04. 99) 第2534-2536頁	1-6